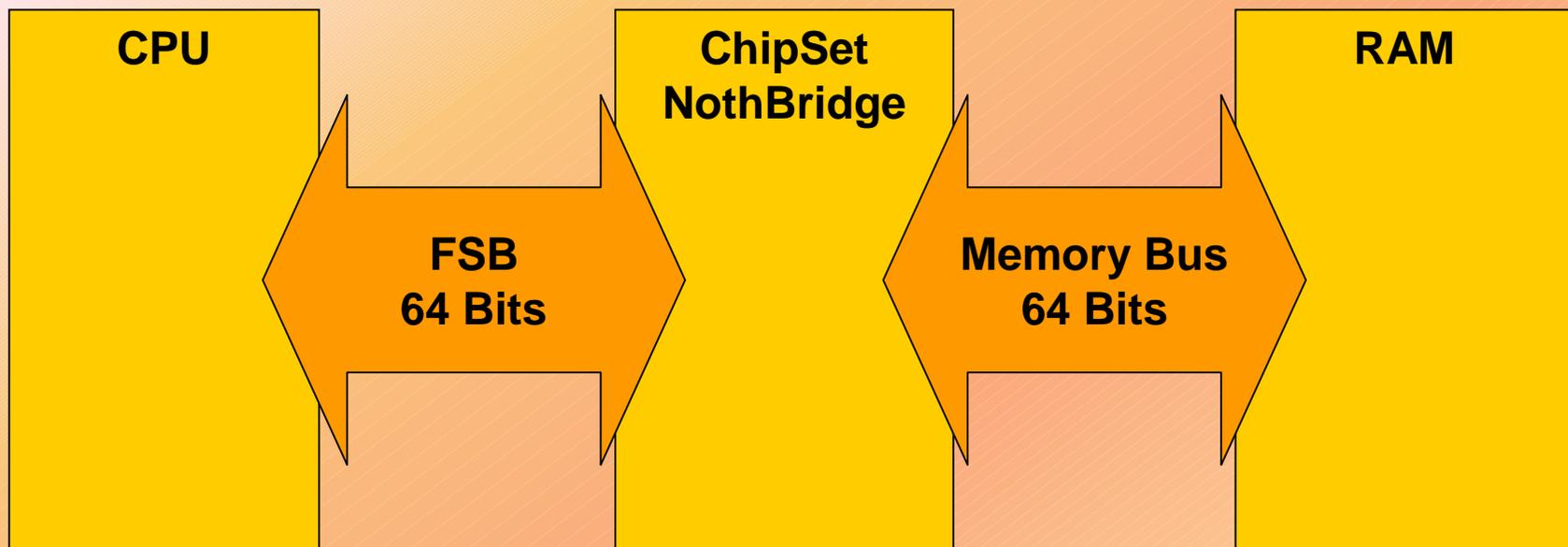


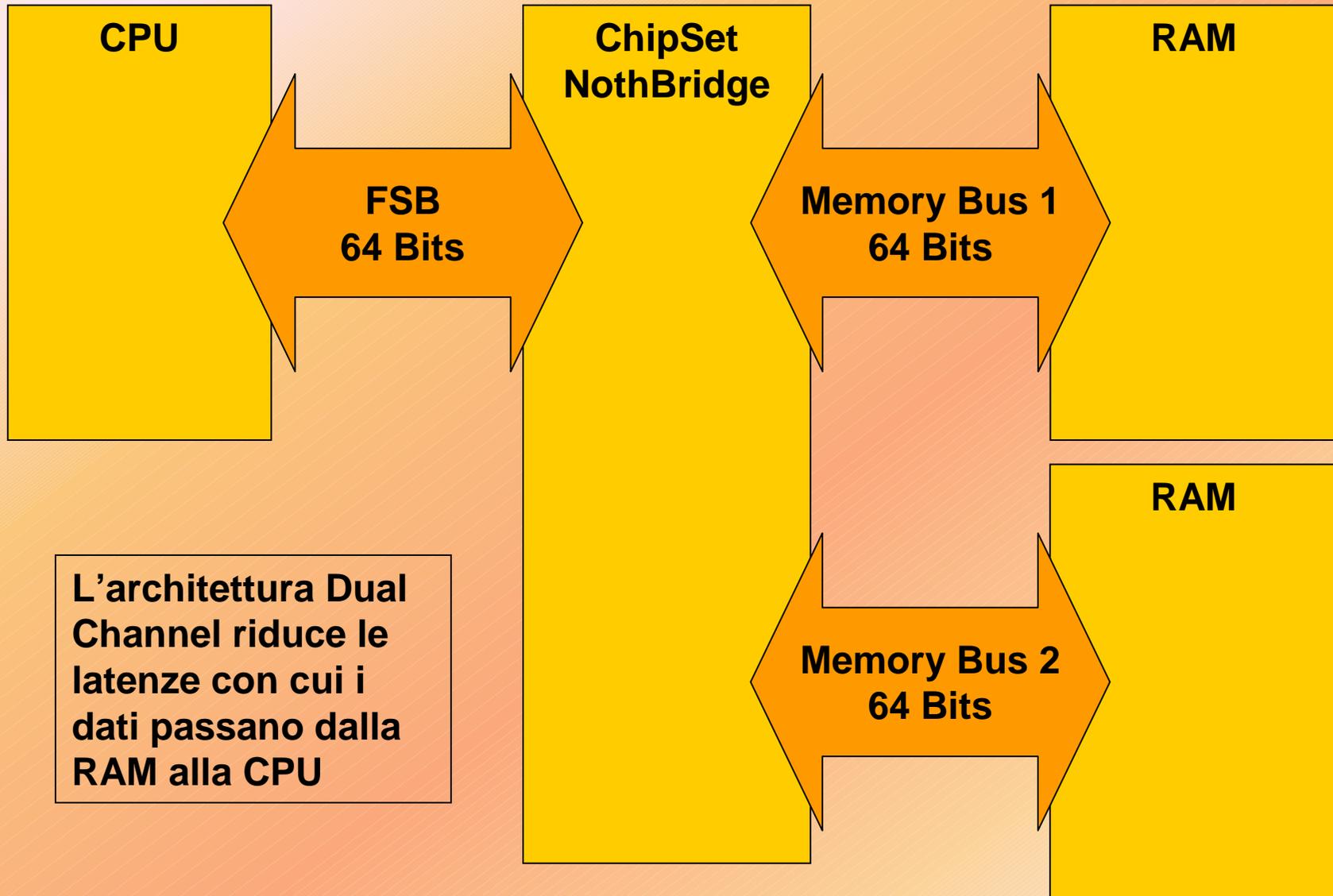
LA RAM

Architettura – Single Channel



Il Memory Bus ed il Front Side Bus possono (ma non necessariamente devono) avere la stessa velocità.

Architettura – Dual Channel



RAM – Tipologie

- **Unbuffered non-ECC DIMM (Dual In-Line Memory Module)**
 - Rappresentano il tipo di DIMM più semplice
 - I chip (4,8 o 16) presenti sui banchi contengono sia i dati che i segnali di controllo e indirizzo
- **Registered DIMM**
 - Contengono un chip dedicato ai segnali di controllo ed indirizzo per ogni banco presente sul modulo
 - Single bank $\rightarrow 8+1$
 - Dual bank $\rightarrow (8+1) + (8+1) = 18$
- **ECC (Error Correction Code) DIMM**
 - Contengono un chip aggiuntivo dedicato al controllo sul bit (bit di parità) in modo da risolvere problemi dovuti alla corruzione di un singolo bit residente in memoria
 - Possono essere sia unbuffered che registered

Moduli vs Banchi

- Per moduli RAM si intende il supporto PCB fisico su cui vengono assemblati i singoli chip
 - Possiamo avere schede madri con 2, 3 o 4 slot disponibili per ospitare 2,3 o 4 moduli di RAM
- Esistono però due tipologie di moduli
 - Single bank
 - Solitamente gli 8 chip presenti on-board costituiscono l'unico banco presente che ha come ampiezza totale del canale l'ampiezza del Memory Bus (64 bit)
 - Dual Bank
 - Solitamente i chip in numero doppio rispetto al caso precedente, costituiscono due banchi separati ed indipendenti con comandi di accesso dedicati (Chip Select) che ne regolano di volta in volta lo stato *attivo* o *inattivo*. Infatti, non potremmo avere entrambi i banchi attivi simultaneamente perché supereremmo del doppio l'ampiezza del Memory Bus ($64+64=128$)
 - Moduli single o dual bank possono essere indifferentemente unbuffered, registered , ECC o non-ECC

Il supporto a livello di chipset della quantità di RAM è legato al numero di banchi supportati e non al numero di moduli.

RAM – Velocità

- Prendiamo in esame RAM di tipo **DDR** (Double Data Rate) ovvero in grado di utilizzare sia il ***fronte di salita*** che il ***fronte di discesa*** del ciclo di clock per il passaggio dei dati. Abbiamo i seguenti parametri per la valutazione delle prestazioni legate alla velocità:
 - Clock Frequency (es. 200 Mhz)
 - Data Rate = Clock Frequency * 2 (es. DDR400)
 - Bandwidth = Data Rate * 8 (PC3200)
 - DRAM Access Time = 1 / Clock Frequency (5.0 ns)

RAM - Chip

- Ogni chip di RAM
 - è organizzato come una matrice di n righe per m colonne
 - Es. 4096 righe x 1024 colonne
 - Ogni incrocio tra righe e colonne contiene 8 bits
 - riceve in ingresso *segnali di controllo e indirizzo*, oltre che dati
 - Restituisce in uscita dati

RAM – Segnali di Controllo

- **RAS (Row Access Strobe)**: attiva l'indirizzo della riga selezionata
- **CAS (Column Access Strobe)**: attiva l'indirizzo della colonna selezionata
- **WE (Write Enable)**: consente al controller di accedere in scrittura alla memoria
- **CS (Chip Select)**: attiva la memoria per la lettura o la scrittura
- **BA0, BA1 (Bank Address)**: determina a quale Banco di memoria si accede
- **DQ0-DQ7**: le linee dati in uscita dalla RAM (ricorda che ci sono 8 bit per cella 88)

Latenze (1)

- Tutti i moduli di RAM presentano latenze che determinano i tempi di attesa da parte del chipset per l'inserimento dei dati in memoria o il loro prelevamento da questa.

Latenze (2)

- L'accesso dei dati in RAM può essere scomposto nelle seguenti fasi:
 - Attivazione di Riga (Activate Row)
 - Latenza = t_{RCD} (RAS to CAS Delay)
 - Generalmente 2 o 3 cicli di clock
 - Lettura dei dati della Riga Attiva (iterazione sulle Colonne)
 - Latenza = CAS (Column Access Strobe)
 - Generalmente 2, 2.5, 3 cicli di clock
 - Disattivazione di Riga (Deactivate Row)
 - Latenza = t_{RP} (RAS Precharge Delay)
 - Ripetizione su una nuova Riga

Latenze (3)

- 2 – 3 – 3 – 7 – 1T
 - CAS Latency = 2 Cicli di Clock
 - tRCD = RAS to CAS Delay = 3 Cicli di Clock
 - tRP = RAS Precharge = 3 Cicli di Clock
 - tRAS (*) = Active to Precharge = 7 Cicli di clock
 - Command Rate (**) = 1 Ciclo di Clock

(*)tRAS: Una volta che un banco viene attivato, non può essere disattivato fino al trascorrere del tRAS. Generalmente 6,7,8 cicli di clock.

(**)Command Rate: Latenza tra il momento del Chip Select e quello del comando vero e proprio (es. Activate Row). Generalmente 1 o 2 cicli di clock.

SPD (1)

- Serial Presence Detect: è una EEPROM (Electrically Erasable and Programmable Read Only Memory) che contiene diversi parametri di configurazione dei moduli RAM
- Mantiene i valori in carica a PC spento
- Necessita di pochi dati (solitamente è sufficiente un'unica linea dati)



SPD (2)

- Tipo Memoria (DDR,SDR)
- Numero Banche
- Ampiezza Canale Dati
- Voltaggio
- Tempo di Ciclo
- ECC/non-ECC
- CAS
- RAS Precharge
- RAS to CAS
- Densità del banco
- Codice JEDEC (Joint Electronic Device Engineering Council) del Costruttore
- Numero del lotto di produzione
- Etc...